

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-107594

(43)Date of publication of application : 24.04.1998

(51)Int.Cl.

H03K 3/84  
G06F 7/58  
H04J 13/00  
// H04L 1/02

(21)Application number : 08-259358

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 30.09.1996

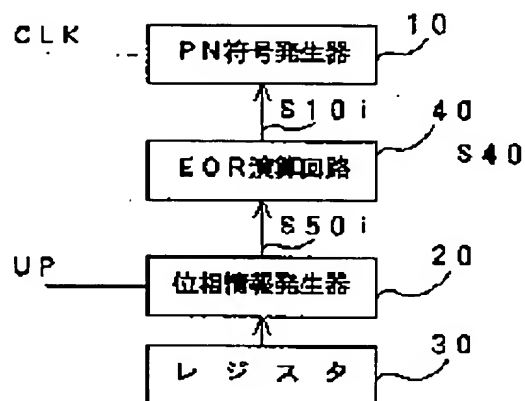
(72)Inventor : HORIGUCHI KENJI

(54) PSEUDO RANDOM CODE GENERATOR, SLIDING CORRELATION DEVICE AND RAKE RECEIVER

(57)Abstract:

PROBLEM TO BE SOLVED: To realize the pseudo random code generator that generates an M series signal having a long period with a small scale circuit configuration.

SOLUTION: AND circuits 411-4132 of an EOR arithmetic circuit 40 take AND arithmetic operation between output signals S101sto.. of a PN code generator 10 and output signals S20.-S20.. of a phase information generator 20 decided by a phase information control signal UP respectively. An EOR element 42 exclusively ORs output signals S4-S41.. of the AND circuits 41-432. and provides an output of a PN code S40 whose phase is shifted from a reference PN code by a phase equivalent to a time decided by the phase information generator 20.



## LEGAL STATUS

[Date of request for examination]

31.01.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-107594

(43) 公開日 平成10年(1998) 4月24日

(51) Int.Cl.<sup>6</sup>  
H 0 3 K 3/84  
G 0 6 F 7/58  
H 0 4 J 13/00  
// H 0 4 L 1/02

識別記号

F I  
H 0 3 K 3/84 A  
G 0 6 F 7/58 C  
H 0 4 L 1/02  
H 0 4 J 13/00 A

審査請求 未請求 請求項の数 3 O L (全 13 頁)

(21) 出願番号 特願平8-259358  
(22) 出願日 平成8年(1996) 9月30日

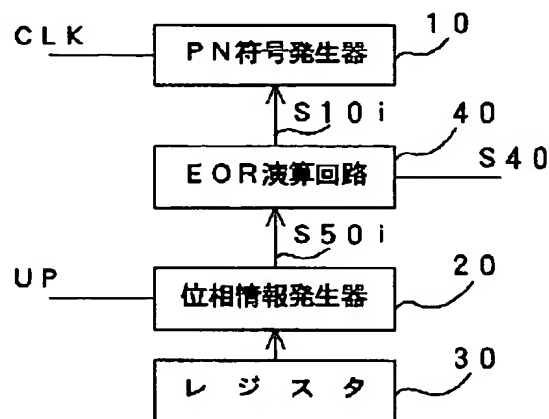
(71) 出願人 000000295  
沖電気工業株式会社  
東京都港区虎ノ門1丁目7番12号  
(72) 発明者 堀口 健治  
東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内  
(74) 代理人 弁理士 柿本 恭成

(54) 【発明の名称】 疑似ランダム符号発生装置、スライディング相関器、及びレイク受信装置

(57) 【要約】

【課題】 長大な周期のM系列信号を発生する疑似ランダム符号発生装置を、小規模の回路構成で実現する。

【解決手段】 EOR演算回路40において、AND回路41<sub>1</sub>～41<sub>32</sub>はPN符号発生器10の出力信号S10<sub>1</sub>～S10<sub>32</sub>と位相情報制御信号UPで決定された位相情報発生器20の出力信号S20<sub>1</sub>～S20<sub>32</sub>との論理積をそれぞれ取る。EOR素子42は、AND回路41<sub>1</sub>～41<sub>32</sub>の出力信号S41<sub>1</sub>～S41<sub>32</sub>の排他的論理和を取り、位相情報発生器20で決定される時間だけ基準PN符号よりも位相がずれたPN符号S40を出力する。



本発明の第1の実施形態のPN符号発生装置

## 【特許請求の範囲】

【請求項1】 基準のM系列信号で構成された第1の疑似ランダム符号の位相を任意の位相ずらした第2の疑似ランダム符号を発生する疑似ランダム符号発生装置において、

データ入力端子に与えられた第1のデータを第1のクロックに同期してラッチする第1のN段（N：2以上の整数）のフリップフロップと、該第1のN段のフリップフロップのうちの所定のフリップフロップの出力データと最終段のフリップフロップの出力データとの排他的論理和をとる1つ又は複数の第1の排他的論理和回路とを有し、該各フリップフロップに前段のフリップフロップ又は該排他的論理和回路の出力データをそれぞれラッチさせるシフト動作を該クロックに同期して繰り返し、周期が $(2^N - 1)$ チップで巡回する所定の生成多項式に基づいた第1の疑似ランダム符号を発生する疑似ランダム符号発生器と、

データ入力端子に与えられた第2のデータを第2のクロックに同期してラッチする第2のN段のフリップフロップと、該第2のN段のフリップフロップのうちの所定のフリップフロップの出力データと最終段のフリップフロップの出力データとの排他的論理和を初段のフリップフロップのデータ入力端子に与える1つ又は複数の第2の排他的論理和回路とを有し、該各フリップフロップに前段のフリップフロップの出力データをラッチさせるラッチ動作を該第2のクロックに同期して行い、周期が $(2^N - 1)$ チップで巡回する前記所定の生成多項式に基づいた疑似ランダム符号を用いた位相情報符号を発生する位相情報符号発生器と、前記第1のN段のフリップフロップの各出力データと前記第2のN段のフリップフロップの各出力データとの論理積演算をそれぞれ行い、該論理積演算した結果の排他的論理和をとって前記第1の疑似ランダム符号よりも任意のチップ数位相が進んでいるか又は遅れている前記第2の疑似ランダム符号を出力する演算回路とを、

備えたことを特徴とする疑似ランダム符号発生装置。

【請求項2】 スペクトル拡散方式に基づく移動通信システムの受信局に設けられ、請求項1記載の疑似ランダム符号発生装置を有し、前記位相情報制御信号を操作して前記第2の疑似ランダム符号を1チップづつずらすことにより、受信信号との相関度を検索する構成にしたことを特徴とするスライディング相関器。

【請求項3】 請求項2記載のスライディング相関器と、前記スライディング相関器から出力された相関度に対応した前記第2の疑似ランダム符号の位相情報を記憶する位相情報記憶レジスタと前記位相情報記憶レジスタの位相情報に基づいて受信信号の相関検波を行う複数の相関検波部と、前記複数の相関検波部の各出力データを合成する合成部

とを、備えたことを特徴とするレイク受信装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、M系列を用いた疑似ランダム符号（以下、PN符号という）を発生する疑似ランダム符号発生装置とその応用に関するものであり、基準M系列PN符号に対して時間的に任意のチップ数ずれたM系列PN符号を発生するPN符号発生装置、該PN符号発生装置を用いたスライディング相関器、及び該スライディング相関器を用いたレイク受信装置に関するものである。

【0002】

【従来の技術】 PN符号を発生する方法の中で相関技術に利用される周期的なものとしてM系列（Maximum length sequence、最大長周期系列）信号があり、受信信号と相関がとれた場合の相関関数がデルタ関数に近いという特長がある。PN符号を移動体通信に利用したものに、スペクトル直接拡散通信を利用した符号分割多元接続（Code Division Multiple Access、以下CDMAという）方式がある。CDMA方式では、マルチパス対策技術として受信波を逆拡散により拡散符号の符号単位で時間的に分離して合成するレイク受信方式が適用できる。レイク受信方式では、マルチパス信号中からパワーの大きいパスをいくつか選び、独立に追従及び復調動作をさせる技術が必須である。この技術は、時間的に任意の時間（個数）ずれたPN符号を発生し、このPN符号で受信波を逆拡散してパワーの大きいパスを探し出し、逆拡散によるマルチパス復調動作を実現するものである。

【0003】 図2は、従来のPN符号発生装置の構成図である。このPN符号発生装置は、カウンタ1とPN相対アドレスレジスタ2と加算器3とPN符号ROM（リードオンリメモリ）4とを備えている。カウンタ1には、クロックCLKが入力されるようになっている。カウンタ1の出力側は加算器3の第1の入力側に接続され、PN相対アドレスレジスタ2が加算器3の第2の入力側に接続されている。加算器3の出力側は、PN符号ROM4の入力側に接続されている。PN符号ROM4の出力側からは、PN符号OUTが出力されるようになっている。このPN符号発生装置では、クロックCLKによりカウンタ1を動作させて連続的なアドレスS1を発生させる。又、PN相対アドレスレジスタ2には、このアドレスS1に対して位相をずらすための移相値（例えば、1ビット位相をずらすとすると“1”）S2が蓄えられている。そして、加算器3においてアドレスS1と移相値S2との加算演算が行われ、アドレスS1よりも時間的に移相値S2の分だけずれたアドレスS3が発生する。このアドレスS3は、該アドレスS3に対応したPN符号が格納されたPN符号ROM（リードオンリメモリ）4にアドレスとして入力される。このアドレスS3の値を変えることにより、

アドレス S 1 から移相値 S 2 に対応した時間だけずれた PN 符号 O U T を発生させることができる。

#### 【0004】

【発明が解決しようとする課題】しかしながら、従来の図 2 の PN 符号発生装置では、次のような課題があった。M 系列の PN 符号を N ビットのシフトレジスタを用いて発生させるとすると、周期が  $(2^N - 1)$  ビットになる。ところが、レイク受信装置では、例えば  $N=32$  等の長い周期の PN 符号を用いる場合、膨大な PN 符号を PN 符号 ROM 4 に格納しなければならない。そのため、この PN 符号 ROM 4 を L S I (大規模集積回路) 化する場合、チップ面積が大きくなるという問題があり、経済的な L S I 化が困難であった。

#### 【0005】

【課題を解決するための手段】前記課題を解決するために、本発明のうちの第 1 の発明は、基準の M 系列信号で構成された第 1 の PN 符号の位相を任意の位相ずらした第 2 の PN 符号を発生する PN 符号発生装置において、次のような手段を設けている。即ち、データ入力端子に与えられた第 1 のデータを第 1 のクロックに同期してラッチする第 1 の N 段 ( $N: 2$  以上の整数) のフリップフロップと、該第 1 の N 段のフリップフロップのうちの所定のフリップフロップの出力データと最終段のフリップフロップの出力データとの排他的論理和をとる 1 つ又は複数の第 1 の排他的論理和回路とを有し、該各フリップフロップに前段のフリップフロップ又は該排他的論理和回路の出力データをそれぞれラッチさせるシフト動作を該クロックに同期して繰り返し、周期が  $(2^N - 1)$  チップで巡回する所定の生成多項式に基づいた第 1 の疑似ランダム符号を発生する疑似ランダム符号発生器と、データ入力端子に与えられた第 2 のデータを第 2 のクロックに同期してラッチする第 2 の N 段のフリップフロップと、該第 2 の N 段のフリップフロップのうちの所定のフリップフロップの出力データと最終段のフリップフロップの出力データとの排他的論理和を初段のフリップフロップのデータ入力端子に与える 1 つ又は複数の第 2 の排他的論理和回路とを有し、該各フリップフロップに前段のフリップフロップの出力データをラッチさせるラッチ動作を該第 2 のクロックに同期して行い、周期が  $(2^N - 1)$  チップで巡回する前記所定の生成多項式に基づいた疑似ランダム符号を用いた位相情報符号を発生する位相情報符号発生器とを設けている。更に、前記第 1 の N 段のフリップフロップの各出力データと前記第 2 の N 段のフリップフロップの各出力データとの論理積演算をそれぞれ行い、該論理積演算した結果の排他的論理和をとって前記第 1 の疑似ランダム符号よりも任意のチップ數位相が進んでいるか又は遅れている前記第 2 の疑似ランダム符号を出力する演算回路を設けている。

$$P(x) = a_n x^n + a_{n-1} x^{n-1} + \dots + a_1 x + 1 \quad \dots (1)$$

但し、 $a_i$  ( $i=1 \sim n$ ) は、0 又は 1 を表す。

【0006】この第 1 の発明によれば、以上のように PN 符号発生装置を構成したので、第 1 の N 段のフリップフロップから第 1 のクロックに同期して所定の生成多項式に基づいた各出力データが出力される。一方、第 2 の N 段のフリップフロップから第 2 のクロックに同期して前記所定の生成多項式に基づいた各出力データが出力される。第 2 の PN 符号は、第 1 の N 段のフリップフロップの各出力データと前記第 2 の N 段のフリップフロップの各出力データとの線形和として表される。前記第 2 の N 段のフリップフロップの各出力データは、第 2 のクロックにより任意のチップ數位相が進んでいるか又は遅れているデータに変化するので、第 1 の PN 符号よりも任意のチップ數位相が進んでいるか又は遅れている第 2 の PN 符号が生成される。従って、前記課題を解決できるのである。

#### 【0007】

##### 【発明の実施の形態】

##### 第 1 の実施形態

図 1 は、本発明の第 1 の実施形態を示す PN 符号発生装置の構成図である。この PN 符号発生装置は、PN 符号発生器 10 と位相情報発生器 20 とレジスタ 30 と排他的演算回路 (以下、EOR 演算回路という) 40 とを備えている。PN 符号発生器 10 のクロック入力端子には、第 1 のクロック CLK が入力されている。PN 符号発生器 10 は M 系列の PN 符号発生回路であり、クロック CLK に同期した n ビットのシフトレジスタのシフト動作と m 個の各 EOR 演算素子により、現時刻におけるシフトレジスタの値から次の時刻のシフトレジスタの値を決定し、この値  $S10_i$  ( $i=1 \sim n$ ) により PN 符号の時系列を出力する機能を有している。PN 符号発生器 10 の出力側は EOR 演算器 40 の第 1 の入力側に接続されている。

【0008】位相情報発生器 20 は第 2 のクロックである位相情報制御信号 UP を入力し、位相情報制御信号 UP に同期した n ビットのシフトレジスタのシフト動作と m 個の各 EOR 演算素子により、現時刻におけるシフトレジスタの値から次の時刻におけるシフトレジスタの値  $S20_i$  ( $i=1 \sim n$ ) を決定する機能を有している。位相情報発生器 20 の出力側は、EOR 演算器 40 の第 2 の入力側に接続されている。レジスタ 14 は、位相情報発生器 20 の初期値を保持する機能を有している。レジスタ 14 は、位相情報発生器 20 に接続されている。EOR 演算器 40 は、値  $S10_i$  と値  $S20_i$  とを入力し、基準 PN 符号から k ビットずれた時系列の PN 符号 S40 を生成する機能を有している。PN 符号発生器 10 の構成は、例えば CRC で用いられている次式 (1) に示す生成多項式  $P(x)$  による除算回路により構成することができる。

【0009】図 3 は、図 1 中の PN 符号発生器 10 の一例

を示す構成図である。このPN符号発生器10の生成多

$$P(x) = x^{32} + x^{22} + x^2 + x + 1 \quad \dots (2)$$

このPN符号発生器10は、32個のフリップフロップ（以下、FFという） $11_i$  ( $i=1\sim 32$ )と3個のEOR素子 $12_1\sim 12_3$ とで構成されている。FF $11_1$ の出力端子は、EOR素子 $12_1$ の第1の入力端子に接続されている。EOR素子 $12_1$ の出力端子は、FF $11_2$ のデータ入力端子に接続されている。FF $11_2$ の出力端子は、EOR素子 $12_2$ の第1の入力端子に接続されている。EOR素子 $12_2$ の出力端子は、FF $11_3$ のデータ入力端子に接続されている。FF $11_i$  ( $i=3\sim 21$ )の出力端子は、FF $11_{i+1}$ の入力端子に接続されている。FF $11_{22}$ の出力端子は、EOR素子 $12_3$ の第1の入力端子に接続されている。EOR素子 $12_3$ の出力端子は、FF $11_{23}$ の入力端子に接続されている。FF $11_i$  ( $i=23\sim 31$ )の出力端子は、FF $11_{i+1}$ の入力端子に接続されている。FF

$$\begin{aligned} D_{11} &= D_{032} \\ D_{12} &= D_{01} + D_{032} \\ D_{13} &= D_{02} + D_{032} \\ D_{1i} &= D_{0i-1} \quad (i=4\sim 22) \\ D_{123} &= D_{022} + D_{032} \\ D_{1i} &= D_{0i-1} \quad (i=24\sim 32) \end{aligned}$$

図4は、図1中の位相情報発生器20の構成図である。

【0011】位相情報発生器20の生成多項式も、PN符号発生器10と同様に式(2)で示される。この位相情報発生器20は、32個のFF $21_i$  ( $i=1\sim 32$ )と3個のEOR素子 $22_1\sim 22_3$ とで構成されている。FF $21_i$  ( $i=1\sim 31$ )の出力端子は、FF $21_{i+1}$ の入力端子に接続されている。又、FF $21_1$ の出力端子は、EOR素子 $22_1$ の第1の入力端子にも接続されている。FF $21_2$ の出力端子は、EOR素子 $22_2$ の第1の入力端子にも接続されている。FF $21_{22}$ の出力端子は、EOR素子 $22_3$ の第1の入力端子にも接続されている。FF $21_{32}$ の出力端子は、EOR素子 $22_3$ の第2の入力端子に接続されている。EOR素子 $22_3$ の出力端子は、EOR素子 $22_2$ の第2の入力端子に接続されている。EOR素子 $22_2$ の出力端子は、EOR素子 $22_1$ の第2の入力端子に接続されている。EOR素子 $22_1$ の出力端子は、FF $21_1$ のデータ入力端子に接続されている。FF $21_1\sim 21_{32}$ の各クロック入力端子には、位相情報制御信号UPが入力されるようになっている。FF $21_1\sim 21_{32}$ の各出力端子からは、各出力信号 $S20_1\sim S20_{32}$ がそれぞれ出力されるようになっている。

【0012】この位相情報発生器20では、FF $21_i$  ( $i=1\sim 32$ )で構成されたシフトレジスタの位相情報制御信号UPに同期したシフト動作と3個の各EOR演算素子により、現時刻におけるシフトレジスタの値から次

項式 $P(x)$ は、次式(2)で示される。

$11_{32}$ の出力端子は、FF $11_1$ の入力端子及びEOR素子 $12_1\sim 12_3$ の第2の入力端子に接続されている。

【0010】FF $11_1\sim 11_{32}$ の各クロック入力端子には、クロックCLKが入力されるようになっている。FF $11_1\sim 11_{32}$ の各出力端子からは、各出力信号 $S10_1\sim S10_{32}$ が出力されるようになっている。このPN符号発生器10では、ある時刻 $t_0$ におけるFF $11_i$  ( $i=1\sim 32$ )の値を $\{D_{01}, D_{02}, \dots, D_{032}\}$ 、次の時刻 $t_1$ におけるFF $11_i$  ( $i=1\sim 32$ )の出力データを $\{D_{11}, \dots, D_{132}\}$ とすると、次式(3)に従ってFF $11_i$ の出力データを決定し、クロックCLKに同期して、基準PN符号PN1をFF $11_{32}$ から出力する。

$$\dots (3)$$

の時刻の値におけるシフトレジスタの値を決定し、この値により位相情報 $S20_1\sim S20_{32}$ を出力する。図1中のレジスタ30は、位相情報発生器20のFF $21_1\sim 21_{32}$ に対する初期値を決定するレジスタであり、FF $21_1\sim 21_{32}$ の個数に等しいビット数のレジスタである。必要に応じてレジスタ30に書き込まれている内容が位相情報発生器20のFF $21_1\sim 21_{32}$ に書き込まれる。尚、図1及び図4には、書き込むための制御信号は図示されていない。通常、レジスタ30の値は全てのビットにおいて“1”であり、動作を開始する前に1度だけ位相情報発生器20のFF $21_1\sim 21_{32}$ に書き込まれる。この値が基準PN信号を発生するための初期情報になる。この後、位相情報発生器20に位相情報制御信号UPを与える度に、位相情報発生器のFF $21_1\sim 21_{32}$ の内容が更新され、位相情報制御信号UPを与える前の現時刻から1チップ遅れた位相情報 $S20_i$ が発生する。

【0013】図5は、図1中の位相情報発生器20の他の例を示す構成図であり、図4中の要素と共通の要素には共通の符号が付されている。この位相情報発生器の生成多項式も、PN符号発生器10と同様に式(2)で示される。この位相情報発生器では、FF $21_i$  ( $i=32\sim 2$ )の出力端子は、FF $21_{i-1}$ の入力端子に接続されている。又、FF $21_{23}$ の出力端子は、EOR素子 $22_3$ の第1の入力端子にも接続されている。FF $21_3$ の出力端子は、EOR素子 $22_2$ の第1の入力端子にも

接続されている。FF21<sub>2</sub>の出力端子は、EOR素子22<sub>1</sub>の第1の入力端子にも接続されている。FF21<sub>1</sub>の出力端子は、EOR素子22<sub>1</sub>の第2の入力端子に接続されている。EOR素子22<sub>1</sub>の出力端子は、EOR素子22<sub>2</sub>の第2の入力端子に接続されている。EOR素子22<sub>2</sub>の出力端子は、EOR素子22<sub>3</sub>の第2の入力端子に接続されている。EOR素子22<sub>3</sub>の出力端子は、FF21<sub>32</sub>のデータ入力端子に接続されている。FF21<sub>32</sub>~21<sub>1</sub>の各クロック入力端子には、位相情報制御信号UPが入力されるようになっている。FF21<sub>32</sub>~21<sub>1</sub>の各出力端子からは、各出力信号S20<sub>32</sub>~S20<sub>1</sub>がそれぞれ出力されるようになっている。この位相情報発生器20では、位相情報制御信号UPを1個与える毎に現在のFF21<sub>32</sub>~21<sub>1</sub>の出力信号で決定されるPN符号から1チップ進んだ位相情報S20<sub>32</sub>~S20<sub>1</sub>が発生する。

【0014】図6は、図1中のEOR演算回路40の構成図である。このEOR演算回路40は、2入力AND回路41<sub>1</sub>~41<sub>32</sub>を有している。AND回路41<sub>1</sub>~41<sub>32</sub>の各第1の入力端子には、PN符号発生器10の出力信号S10<sub>1</sub>~S10<sub>32</sub>がそれぞれ入力されるようになっている。又、AND回路41<sub>1</sub>~41<sub>32</sub>の各第2の入力端子には、位相情報発生器20の出力信号S20<sub>1</sub>~S20<sub>32</sub>がそれぞれ入力されるようになっている。AND回路41<sub>1</sub>~41<sub>32</sub>の各出力端子は、32入力EOR素子42の各入力端子にそれぞれ接続されている。EOR素子42からは、第2のPN符号S40が出力されるようになっている。

【0015】図7は、図1の動作を説明するためのタイムチャートであり、横軸に時間がとられている。この図を参照しつつ、図1の動作を説明する。基準PN符号は、PN符号発生器10から発生するどの位置からでもよいが、ここでは、位相情報発生器20の出力信号S20<sub>i</sub> (i=1~n) が全て“1”の時、EOR演算回路40から発生するPN符号S40を基準PN符号と呼ぶことにする。EOR演算回路40において、AND回路41<sub>1</sub>~41<sub>32</sub>はPN符号発生器10の出力信号S10<sub>1</sub>~S10<sub>32</sub>と位相情報制御信号UPで決定された位相情報発生器20の出力信号S20<sub>1</sub>~S20<sub>32</sub>との論理積をそれぞれ取る。EOR素子42は、AND回路41<sub>1</sub>~41<sub>32</sub>の出力信号S41<sub>1</sub>~S41<sub>32</sub>の排他的論理和を取り、位相情報発生器20で決定されるチップ数だけ基準PN符号よりも位相がずれたPN符号S40を出力する。

【0016】以上のように、この第1の実施形態では、EOR演算回路40において、基準となるPN符号発生器10の出力信号S10<sub>1</sub>~S10<sub>32</sub>と位相情報発生器20の出力信号S20<sub>1</sub>~S20<sub>32</sub>との各論理積をとり、更に該各論理積の排他的論理和を取ることで、現時刻の基準PN符号から1チップ遅れているか又は進んでいる位相のPN符号S40を出力することができる。更に、

位相情報発生器20のシフト動作を繰り返すことにより、任意のチップ数ずれたPN符号S40を出力することができる。その上、このPN符号発生装置は非常に少ないゲート回路で構成できるので、LSI化する場合でも低価格で実現できる。

#### 【0017】第2の実施形態

図8は、本発明の第2の実施形態を示すPN符号発生装置の構成図であり、第1の実施形態を示す図1中の要素と共通の要素には共通の符号が付されている。このPN符号発生装置では、図1中の位相情報発生器20に代えて構成の異なる位相情報発生器50が設けられている。位相情報発生器50には、位相情報制御信号UPに加え、位相方向を制御するための位相方向制御信号DIRが入力されるようになっている。そして、位相情報発生器50は、この位相方向制御信号DIRが“1”になると遅れ位相情報を発生し、“0”になると進み位相情報を発生する機能を有している。他は、図1と同様の構成である。

【0018】図9は、図8中の位相情報発生器50の構成図である。この位相情報発生器50は、32個のフリップフロップ部（以下、FF部という）51<sub>i</sub> (i=1~32) と2個の4入力EOR素子52、53とで構成されている。FF部51<sub>i</sub>は、セクタ51aとFF51bとで構成されている。FF部51<sub>i</sub>の入力端子Aは、セクタ51aの第1の入力端子に接続されている。FF部51<sub>i</sub>の入力端子Bは、セクタ51aの第2の入力端子に接続されている。セクタ51aの出力端子は、FF51bのデータ入力端子Dに接続されている。FF51bの出力端子Qは、FF51部<sub>i</sub>の出力端子Q<sub>i</sub>に接続されている。FF部51<sub>i</sub> (i=1~31)の出力端子Q<sub>i</sub>は、FF部51<sub>i+1</sub>の入力端子Aに接続されている。又、FF部51<sub>i</sub> (i=2~32)の出力端子Q<sub>i</sub>は、FF部51<sub>i-1</sub>の入力端子Bに接続されている。

【0019】FF部51<sub>1</sub>、51<sub>2</sub>、51<sub>22</sub>、51<sub>32</sub>の出力端子Q<sub>1</sub>、Q<sub>2</sub>、Q<sub>22</sub>、Q<sub>32</sub>は、EOR素子52の各入力端子にそれぞれ接続されている。EOR素子52の出力端子は、FF部51<sub>1</sub>の入力端子Aに接続されている。FF部51<sub>1</sub>、51<sub>2</sub>、51<sub>3</sub>、51<sub>23</sub>の出力端子Q<sub>1</sub>、Q<sub>2</sub>、Q<sub>3</sub>、Q<sub>23</sub>は、EOR素子53の各入力端子にそれぞれ接続されている。EOR素子53の出力端子は、FF部51<sub>32</sub>の入力端子Bに接続されている。FF51<sub>i</sub> (i=1~32)の入力端子Sには、位相方向制御信号DIRが入力されるようになっている。入力端子Sは、セクタ51aの選択信号入力端子に接続されている。FF51<sub>i</sub> (i=1~32)の入力端子Cには、位相情報制御信号UPが入力されるようになっている。入力端子Cは、FF51bのクロック入力端子CPに接続されている。FF51<sub>1</sub>~51<sub>32</sub>の各出力端子からは、各出力信号S50<sub>1</sub>~S50<sub>32</sub>がそれぞれ出力さ

れるようになっている。

【0020】このPN符号発生装置の動作では、次の点が図1と異なっている。位相方向制御信号DIRの論理レベルにより、位相情報発生器50が図4の遅れ位相情報発生器と図5の進み位相情報発生器の両方の機能を実現する。以上のように、この第2の実施形態では、遅れ位相情報発生器と進み位相情報発生器の両方の機能を有する位相情報発生器50を用いたので、1個の位相情報発生器を用いたPN符号発生装置で第1の実施形態と同様の利点がある。

### 【0021】第3の実施形態

図10は、本発明の第3の実施形態を示すスライディング相関器の構成図である。このスライディング相関器は、PN符号発生装置61、符号付き数値変換器62、乗算器63、加算器64、累算レジスタ65、出力レジスタ66、2入力AND回路67、及びインバータ68を備えている。PN符号発生装置61は図1と同様の構成であり、PN符号S61を発生する機能を有している。PN符号発生装置61の出力端子は、符号付き数値変換器62に接続されている。符号付き数値変換器62は、PN符号S61の“0”，“1”を“+1”，“-1”の符号付き数値S62にそれぞれ変換する機能を有している。符号付き数値変換器62の出力端子は、乗算器63の一方の入力端子に接続されている。乗算器63の他方の入力端子には、受信信号inが入力されるようになっている。乗算器63は、受信信号inと符号付き数値S62とを乗算する機能を有している。乗算器63の出力端子は、加算器64の第1の入力端子Aに接続されている。加算器64の出力端子は、累算レジスタ65の入力端子に接続されている。累算レジスタ65の出力端子は、出力レジスタ66に接続されると共に、AND回路67の第1の入力端子に接続されている。インバータ68には、累算の周期を決定するタイミング信号T0が入力されるようになっている。インバータ68の出力端子は、AND回路67の第2の入力端子に接続されている。AND回路67の出力端子は、加算器64の第2の入力端子Bに接続されている。又、出力レジスタ66のクロック入力端子及びPN符号発生装置61の位相情報制御信号入力端子にもタイミング信号T0が入力されるようになっている。

【0022】累算レジスタ65のクロック入力端子及びPN符号発生装置61のクロック入力端子には、入力信号inの基本チップ幅と同じパルス幅の連続クロックMCLKが入力されるようになっている。累算の周期を決定するタイミング信号T0は、通常、連続クロックMCLKの16から32倍の周期の信号が使用される。タイミング信号T0は、連続クロックMCLKの16倍の場合、連続クロックMCLKの16個に対して1回の論理“1”が発生するようになっている。次に、図10の動作を説明する。乗算器63において、受信信号inと符号付き数値S62

とが乗算され、乗算結果S63が出力される。タイミング信号T0が“1”の時、AND回路67の出力信号S67は“0”となり、加算器64の入力端子Bには“0”が入力される。従って、乗算結果S63は加算が行われず、スルーで累算レジスタ65に蓄えられる。次の連続クロックMCLK サイクルでは、タイミング信号T0が“0”になるので、累算レジスタ65の出力信号S65と乗算結果S63とが加算され、累算レジスタ65に格納される。

【0023】以下、次のタイミング信号T0が来るまで累算が実行され、次のタイミング信号T0が“1”になった時、累算レジスタ65の内容は16回分の累算結果が格納されている。この値がタイミング信号T0のタイミングで出力レジスタ66に移されると同時に、次の周期の累算の初期の動作が行われる。この時、PN符号発生装置61から発生するPN符号S61はタイミング信号T0により制御されており、累算周期毎に基準PN符号に対して1チップ分づつ遅れた時間位相をもつPN符号S61が出力されている。以上説明したように、出力レジスタ66には、基準PN符号に対して1チップ分づつ遅れた時間位相をもつPN符号S61と入力信号inとの16回分の相関演算の結果が、累算周期ごとに更新されて格納される。このようにしてPN符号S61の1周期分（又は、周期の1部分）の相関演算を行うと、その時の無線搬送環境の遅延プロファイルが出力レジスタ66に格納される。図10では、出力レジスタ66が1個のみの構成になっているので、すべての情報を蓄えるためには、タイミング信号T0の周期毎に図示しない別のRAM等の格納エリアに移動する必要がある。

【0024】図11は、出力レジスタ66に格納された遅延プロファイルの例を示す図であり、縦軸に相関器出力レベル、及び横軸にPN符号の遅延量がとられている。この図では、図10のスライディング相関器を用いて出力レジスタ66に蓄えた遅延プロファイルの相関器出力レベルの例が示されている。ここに示された相関器出力レベルのピークの位置におけるPN符号発生装置61中の位相情報発生器の内容により、到来している受信信号inの中から希望する信号を抽出することができる。以上のように、この第3の実施形態では、第1の実施形態のPN符号発生装置を備えたスライディング相関器を用いて受信信号inの遅延プロファイルを容易に求めることができる。

### 【0025】第4の実施形態

図12は、本発明の第4の実施形態を示すレイク受信装置の構成図である。本実施形態では、周期情報を送るためのパイロットPN符号とデータを送るためのトラフィックPN符号を有するCDMA装置を想定する。このレイク受信装置は、スライディング相関器71、位相情報記憶レジスタ72、相関検波部73、相関検波部74、相関検波部75、及び合成部76を備えている。受信信号in



は、スライディング相関器71、及び相関検波部73、74、75にされるようになっている。スライディング相関器71は、図10の構成である。

【0026】相関検波部73は、トラヒック相関器73a、パイロット相関器73b、伝搬路推定部73c、加算回路73d、及び位相情報レジスタ73eを備えている。トラヒック相関器73a及びパイロット相関器73bには受信信号inがされるようになっている。パイロット相関器73bの出力側は、伝搬路推定部73cの側に接続されている。伝搬路推定部73cの出力側は、加算回路73dの第1の側に接続されている。トラヒック相関器73aの出力側は、加算回路73dの第2の側に接続されている。加算回路73dの出力側からは、検波出力信号S73がされるようになっている。相関検波部74、75も同様な構成である。相関検波部73、74、75の各出力側は、合成部76の各側に接続されている。合成部76は、相関検波部73、74、75の検波出力信号S73、S74、S75をベクトル合成し、受信検波出力信号S76をする機能を有している。

【0027】位相情報記憶レジスタ72は、スライディング相関器71の内部の位相情報発生器の情報を一時記憶する機能を有し、位相情報発生器と同じnビットのレジスタである。位相情報記憶レジスタ72は相関検波部73、74、75の数と同数（図では3個）の位相情報記憶レジスタ72a、72b、72cで構成され、該レジスタ72a、72b、72cがシフトレジスタとして接続されている。即ち、位相情報記憶レジスタ72aに情報が書き込まれると同時に該位相情報記憶レジスタ72aの情報は位相情報記憶レジスタ72bに移動し、位相情報記憶レジスタ72bの情報は位相情報記憶レジスタ72cに移動するようになっている。従って、最後に書き込まれた3個の情報が位相情報記憶レジスタ72a、72b、72cに記憶されるようになっている。

【0028】図13は、図12中のパイロット相関器73bの構成図である。このパイロット相関器73bは、PN符号発生器81、EOR演算回路82、符号付き数値変換器83、乗算器84、加算器85、累算レジスタ86、出力レジスタ87、AND回路88、及びインバータ89を備えている。PN符号発生器81は、EOR演算回路82の第1の側に接続されている。位相情報レジスタ73eは、EOR演算回路82の第2の側に接続されている。EOR演算回路82の出力端子は、符号付き数値変換器83に接続されている。符号付き数値変換器83の出力端子は、乗算器84の一方の側に接続されている。乗算器84の他方の側には、受信信号inがされるようになっている。乗算器84の出力端子は、加算器85の第1の側に接続されている。加算器85の出力端子は、累算レジスタ86の側に接続されている。累算レジスタ8

6の出力端子は、出力レジスタ87に接続されると共に、AND回路88の第1の側に接続されている。インバータ89には、累算の周期を決定するタイミング信号SYMTがされるようになっている。インバータ89の出力端子は、AND回路88の第2の側に接続されている。AND回路88の出力端子は、加算器85の第2の側に接続されている。又、出力レジスタ87のクロック側にもタイミング信号SYMTがされるようになっている。累算レジスタ65のクロック側には、入力信号inの基本チップ幅と同じパルス幅の連続クロックMCLKがされるようになっている。

【0029】次に、図12の動作を説明する。受信信号inはスライディング相関器71にされ、第3の実施形態に説明したようにPN符号をスライディングさせる機能により、PN符号を1チップづつずらせたときの相関値が求められる。ここでの目的は、相関値のピークに対応したPN符号の位相位置を求めることである。具体的にピークを求めるために、前区間で演算した相関値と現区間で演算した相関値との大小を図示しない比較手段で比較する。この比較手段はハードウェアで構成してもよいし、ソフトウェアで構成してもよい。そして、現区間で演算した相関値の方が前区間で演算した相関値よりも大きい場合には、位相情報発生器の内容を位相情報記憶レジスタ72aに書き込む。この動作をPN符号の周期分行うと、位相情報記憶レジスタ72a、72b、72cには、相関値のピークの大きいものから順に、そのPN符号の位置が記憶される。この3個の情報を相関検波部73、74、75中の位相情報レジスタ73e、74e、75eに移動する。具体的には、位相情報記憶レジスタ72aの内容を相関検波部73中の位相情報レジスタ73eに移動する。又、位相情報記憶レジスタ72bの内容を相関検波部74中の位相情報レジスタ74eに移動する。同様に、位相情報記憶レジスタ72cの内容を相関検波部75中の位相情報レジスタ75eに移動する。

【0030】相関検波部73、74、75中のPN符号発生器とスライディング相関器71中のPN符号発生器は同一の位相周期で動作しているので、このようにして相関検波部73、74、75中の位相情報レジスタ73e、74e、75eに位相情報が書き込まれると、各相関検波部73、74、75は、これらの位相情報に基づいてPN符号をそれぞれ発生する。以後、捕まえたパイロット信号の相関検波が行われ、出力レジスタ88にはパイロット検波出力信号が蓄えられる。このとき、加算器86と累算レジスタ87、出力レジスタ88、及びAND回路89は、受信信号inと同じ拡散幅の周期で累算を行い、受信信号inの相関を取るように動作する。一方、トラヒック相関器73aは捕まえたパイロット信号から同じ周期のトラヒックPN符号を生成し、データの相関検波を行って相関検波出力信号S73aをする。相関



検波出力信号S73aは、加算回路73dへ出力される。又、パイロット相関出力信号S73bは、伝搬路推定部73cを経て加算回路73dへ出力される。加算回路73dにおいて、相関検波出力信号S73aからパイロット信号成分が除去され、フェージングの影響のないデータだけの成分が抽出される。各相関検波部73、74、75で抽出された検波出力信号S73、S74、S75は合成部76で時間のずれを補正された後に合成され、受信検波出力信号S76になる。このように、フェージングを受けた受信信号inを逆拡散により先行波及び遅延波に分離し、それぞれの信頼度に応じた重み付けを行って合成することにより、パスダイバーシティを実現することが可能となるので、マルチパスフェージング環境下でも高受信利得を得ることができる。

【0031】以上のように、この第4の実施形態では、第3の実施形態のスライディング相関器を備えたレイク受信装置を用い、フェージングを受けた受信信号inを逆拡散により先行波及び遅延波に分離し、それぞれの信頼度に応じた重み付けを行って合成することにより、パスダイバーシティを実現することができる。そのため、マルチパスフェージング環境下でも高受信利得を得ることができる。尚、本発明は上記実施形態に限定されず、種々の変形が可能である。その変形例としては、例えば次の(a)～(f)のようなものがある。

【0032】(a) 実施形態におけるPN符号発生器は、M系列のPN符号を発生する回路であれば、任意の回路(即ち、任意の生成多項式)で構成してよい。又、任意の値を基準PN符号としてよい。

(b) 実施形態における位相情報発生器は、PN符号発生器と同じ生成多項式によるM系列のPN符号を発生する回路であれば、任意の回路で構成してよい。又、任意の値を基準PN符号としてよい。

(c) 図1中のレジスタ30は、nビットのデータを記憶するものであればよく、例えばRAM等の記憶回路で構成してもよい。

(d) 図10中の累算レジスタ65のクロック入力及びPN符号発生装置61のクロック入力には、スライディング相関の精度を上げるために、入力信号inの基本チップ幅のn倍(n=2, 4, 8, ...)連続クロックを入力してもよい。

(e) 図12中の相関検波部は2個以上あればよく、個数は限定されない。

(f) 第1又は第2の実施形態のPN符号発生装置を2個用いることにより、ゴールド符号を発生するようにできる。即ち、2つのPN符号発生装置の生成多項式として異なるM系列の符号を設定し、2つのEOR演算回路の出力信号の排他的論理和をとる構成にすることにより、ゴールド符号発生装置になる。

【0033】

【発明の効果】以上詳細に説明したように、第1の発明によれば、PN符号発生装置中の演算回路において、基準となるPN符号発生器のシフトレジスタの出力信号と位相情報発生器のシフトレジスタの出力信号との論理積をそれぞれとり、該各論理積の排他的論理和を取ることにより、現時刻の基準PN符号から1ビット遅れた時間位相の第2のPN符号が発生させることができる。更に、位相情報発生器のシフト動作を繰り返すことにより、任意の時間位相のずれたPN符号を発生させることができる。このPN符号発生装置は非常に少ないゲート回路で実現できるので、LSI化する場合でも少ない費用で実現できる。第2の発明によれば、第1の発明のPN符号発生装置を備えたスライディング相関器を用いて受信信号の遅延プロファイルを容易に求めることができる。第3の発明によれば、第2の発明のスライディング相関器を備えたレイク受信装置を用い、フェージングを受けた受信信号を逆拡散により先行波及び遅延波に分離し、それぞれの信頼度に応じた重み付けを行って合成することにより、パスダイバーシティを実現することが出来、マルチパスフェージング環境下でも高受信利得を得ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態のPN符号発生装置の構成図である。

【図2】従来のPN符号発生装置の構成図である。

【図3】図1中のPN符号発生器の構成図である。

【図4】図1中の位相情報発生器の構成図である。

【図5】図1中の他の位相情報発生器の構成図である。

【図6】図1中のEOR演算回路の構成図である。

【図7】図1のタイムチャートである。

【図8】本発明の第2の実施形態のPN符号発生装置の構成図である。

【図9】図8中の位相情報発生器の構成図である。

【図10】本発明の第3の実施形態のスライディング相関器の構成図である。

【図11】遅延プロファイルの出力の例を示す図である。

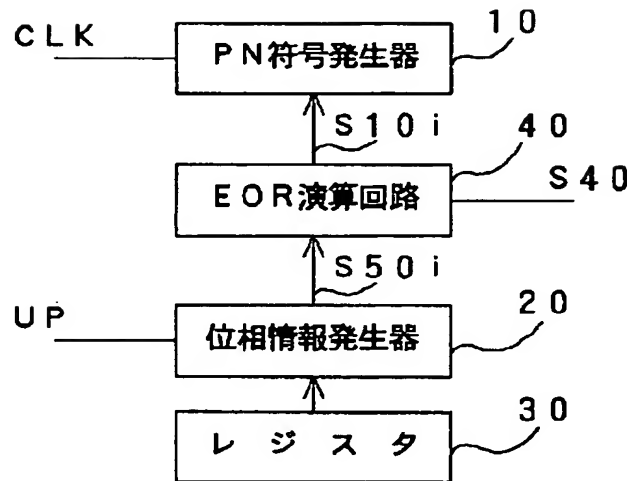
【図12】本発明の第4の実施形態のレイク受信装置の構成図である。

【図13】図12中のパイロット相関器の構成図である。

【符号の説明】

10	PN符号発生器
20	位相情報符号発生器
40	EOR演算回路(演算回路)
71	スライディング相関器
72	位相情報記憶レジスタ
73, 74, 75	相関検波部
76	合成部

【図1】



本発明の第1の実施形態のPN符号発生装置

【図6】

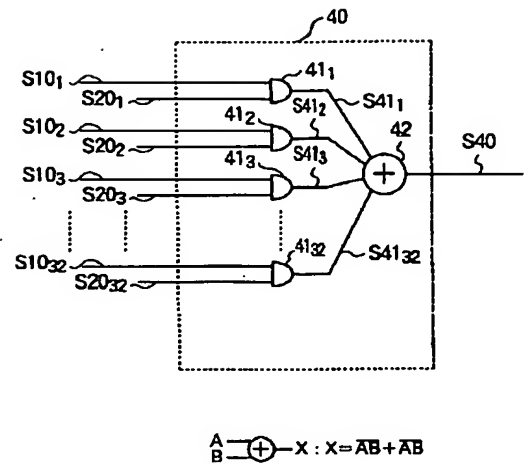
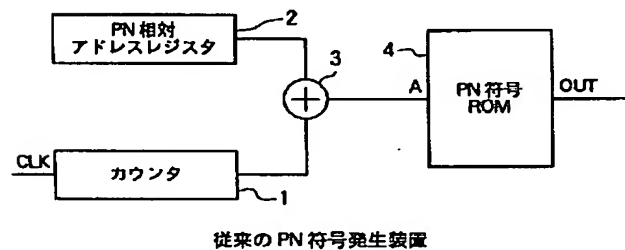


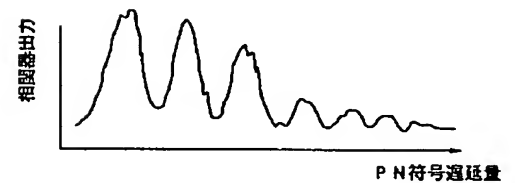
図1中のEOR演算回路

【図11】

【図2】



従来のPN符号発生装置



遅延プロファイル

【図3】

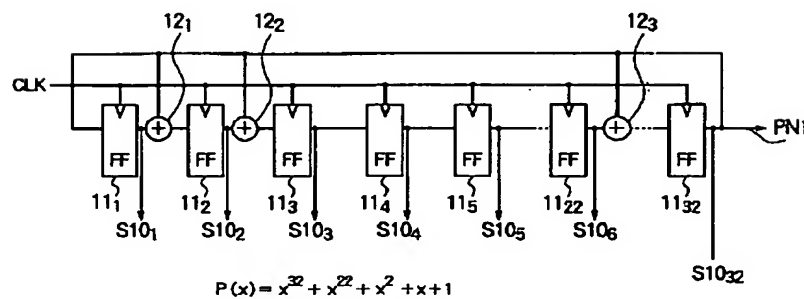
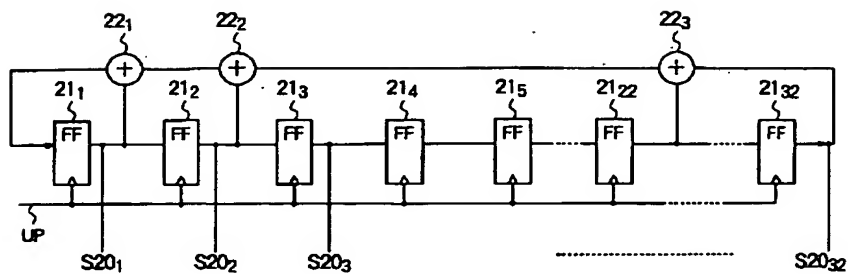


図1中のPN符号発生器

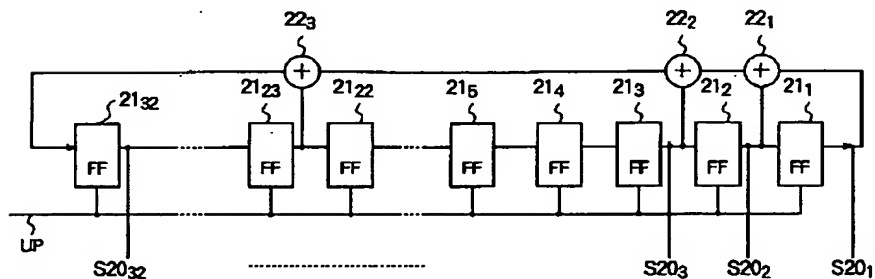
【図4】



$$P(x) = x^{32} + x^{22} + x^2 + x + 1$$

図1中の位相情報発生器

【図5】



$$P(x) = x^{32} + x^{22} + x^2 + x + 1$$

図1中の他の位相情報発生器

【図7】

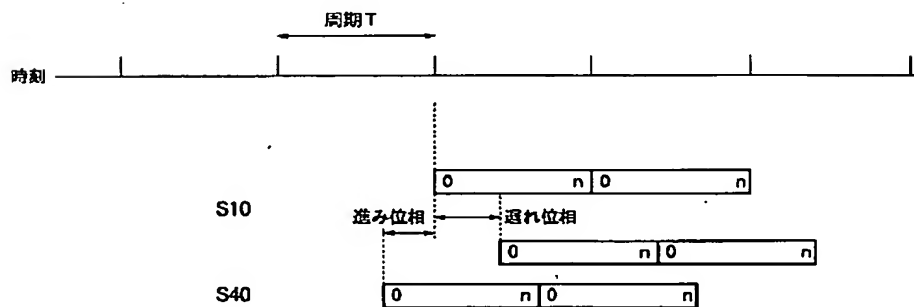
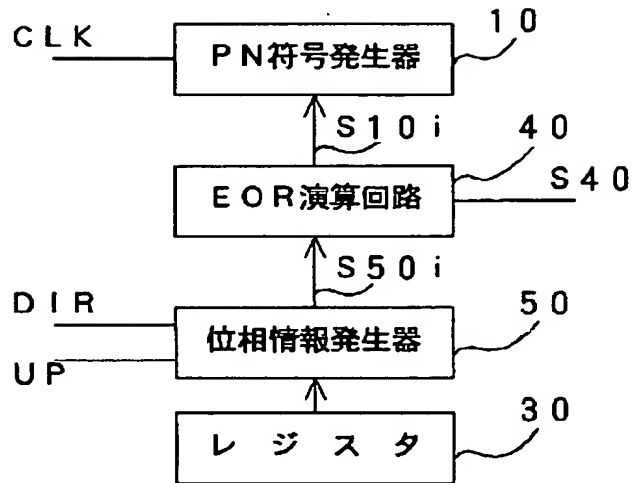


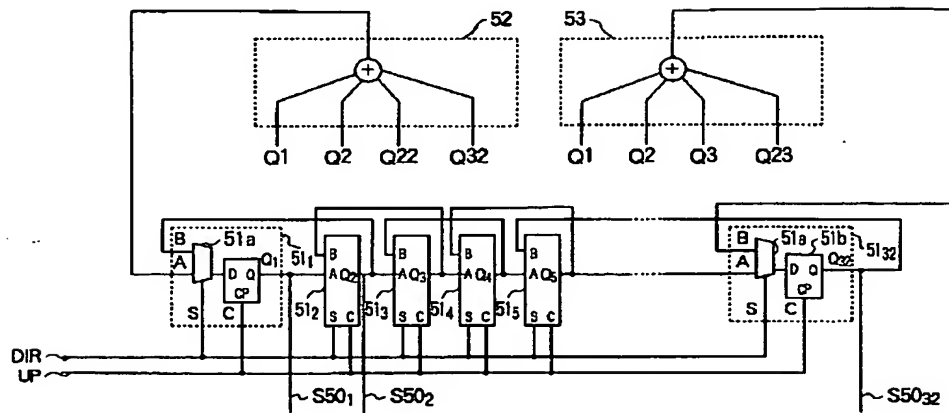
図1のタイムチャート

【図8】



本発明の第2の実施形態のPN符号発生装置

【図9】



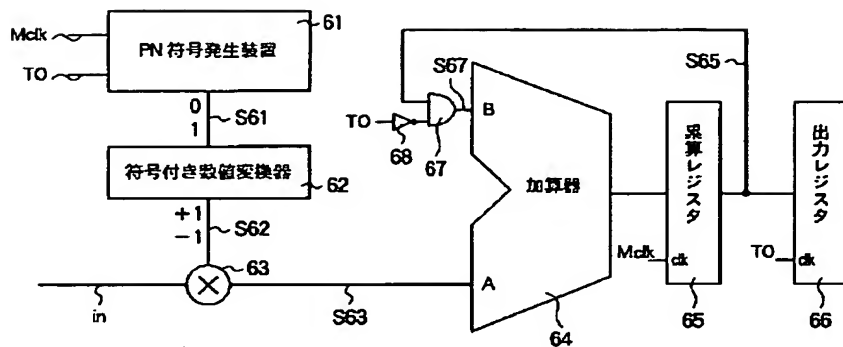
DIR 1 : A 選択(遅れ位相発生)

0 : B 選択(進み位相発生)

$$P(x) = x^{32} + x^{22} + x^2 + x + 1$$

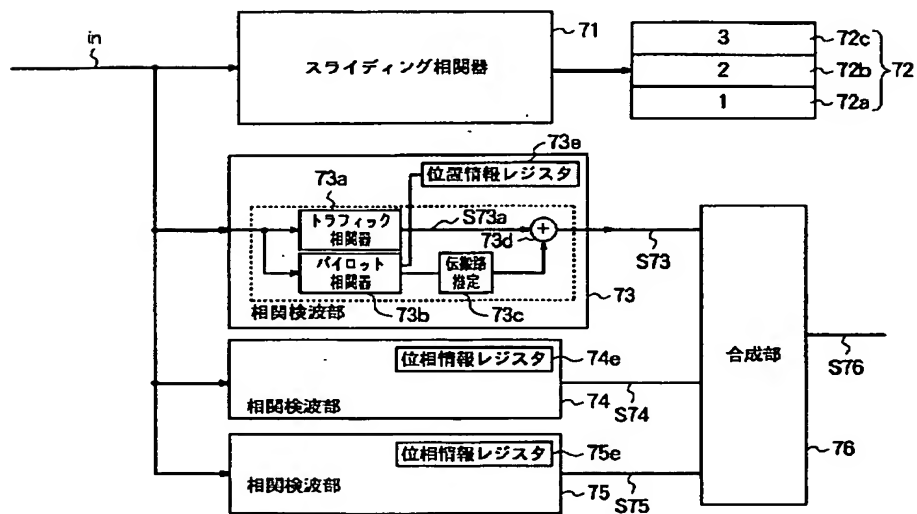
図8中の位相情報発生器

【図10】



本発明の第3の実施形態のスライディング相関器

【図12】



本発明の第4の実施形態のレイク受信装置

【図13】

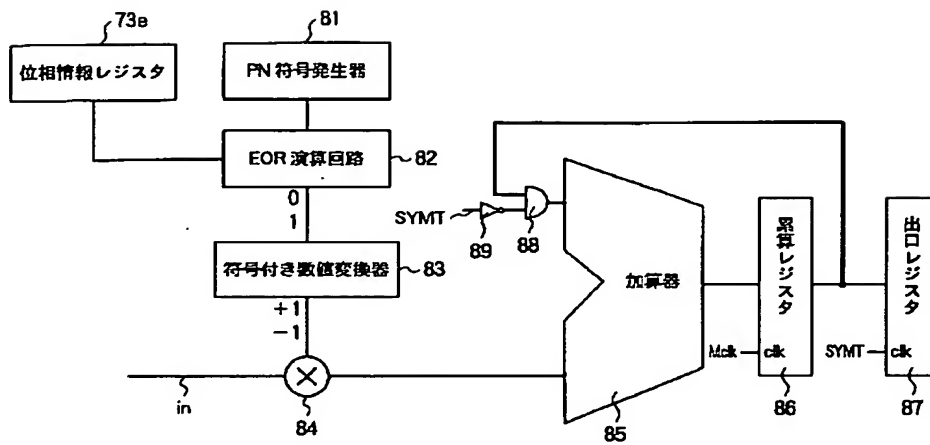


図 12 中のパイロット相関器